

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-245461

(43)Date of publication of application : 29.09.1989

(51)Int.Cl.

G11B 19/02

G11B 20/10

G11B 21/08

(21)Application number : 63-071505

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.03.1988

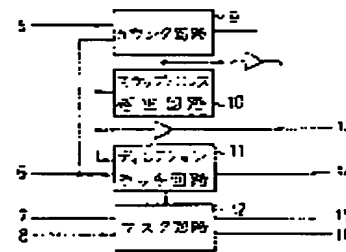
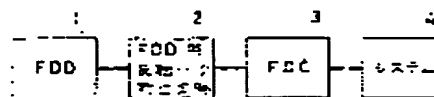
(72)Inventor : KASAGI YASUhide

(54) INVERSE SEEKING PREVENTING CIRCUIT FOR FDD

(57)Abstract:

PURPOSE: To prevent a seeking error without changing the configurations of a flexible disk drive (FDD) and a system by shifting the timing of a step signal, making a stepping motor followable, and masking an index signal and a read data signal until a seeking operation in the FDD is completed.

CONSTITUTION: The title circuit 2 is connected between the FDD and a flexible disk controller (FDC). Further, when the step signal is inputted in the timing which cannot be followed by a stepping motor for positioning based on a step signal 5 from an FDC3 and a direction signal 6 from the FDC3, the inverse seeking preventing circuit 2 for the FDD shifts the timing of the step signal 5 until the state of the step signal becomes a followable one for the motor, masks an index signal 8 and a read data signal 7 until the seeking operation in the FDD1 is completed, and outputs a control signal 14 to the FDD1. Thus, the seeking error due to an inverse seeking operation can be prevented without changing the configurations of the FDD1 and a system 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平1-245461

⑮ Int. Cl.⁴G 11 B 19/02
20/10
21/08

識別記号

3 2 1

庁内整理番号

A-7627-5D
Z-6733-5D
U-7541-5D

⑬ 公開 平成1年(1989)9月29日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 FDD用反転シーク防止回路

⑯ 特 願 昭63-71505

⑰ 出 願 昭63(1988)3月25日

⑱ 発 明 者 笠 木 保 秀 福島県郡山市栄町2番25号 三菱電機株式会社郡山製作所
内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

FDD用反転シーク防止回路

2. 特許請求の範囲

フレキシブルディスクドライブ(FDD)とフレキシブルディスクコントローラ(FDC)との間に接続され、今まで上記FDDでシーク動作していた方向とは異なる方向に位置決め用ステッピングモータが追従できないようなタイミングでステップ信号が入力された場合、上記位置決め用ステッピングモータが追従できる状態になるまで上記ステップ信号のタイミングをずらし、上記FDDでシーク動作が完了するまでインデックス信号とリード・データ信号をマスクする機能を備えたことを特徴とするFDD用反転シーク防止回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、FDDを制御する反転シーク防止回路に関するものである。

〔従来の技術〕

第4図は従来のFDD制御システムの構成を示すブロック図、第5図は第4図のFDD制御システムにおける各部の信号のタイミングを示す図である。図において、1はFDD、3はFDC、4はFDC3をコントロールするシステムである。また、5は位置決め用ステッピングモータ(図示しない)を駆動するためのFDC3からのステップ信号、6は位置決め用ステッピングモータの方向を決めるためのFDC3からのディレクション信号、7はFDD1からのリード・データ信号、8はFDD1からのインデックス信号である。

次に、上記従来のFDD制御システムの動作について説明する。第4図に示すシステム4はFDD1を制御するためにFDD3にコントロールコマンドを発行する。FDD3はシステム4から受けたコントロールコマンドに基づいてFDD1にコントロール信号を出力する。

また、第5図に示すFDC3からのステップ信号5は位置決め用ステッピングモータを駆動し、FDD1へのディレクション信号で示される方向

にキャリッジ（図示しない）を移動する。FDD 1からのリード・データ信号7はシーク（搜索）動作時においてデータが不定である。

〔発明が解決しようとする課題〕

上記従来のFDD制御システムは以上のように構成されているので、FDC 3からのステップ信号5により今までFDD 1でシーク動作していた方向とは異なる方向に位置決め用ステッピングモータが追従できないようなタイミングでステップ信号が入力された場合、そのステップ信号のタイミングの違いにより位置決め用ステッピングモータが追従できず、これによりシークエラーを生じるためにストップ回路を設ける必要があり、またシステムの制御のタイミングを変更しなければならないなどの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、今までFDDでシーク動作していた方向とは異なる方向に位置決め用ステッピングモータが追従できないようなタイミングでステップ信号が入力された場合にも、FDD、シス

テムの構成（制御プログラム）を変更することなしにシークエラーのないFDD制御システムのFDD用反転シーク防止回路を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係るFDD用反転シーク防止回路は、FDDとFDCとの間に接続され、今までFDDでシーク動作していた方向とは異なる方向に位置決め用ステッピングモータが追従できないようなタイミングでステップ信号が入力された場合、このステップ信号のタイミングをずらすことにより位置決め用ステッピングモータが追従できる状態となるようにし、FDDでシーク動作が完了するまでインデックス信号とリード・データ信号をマスクしたものである。

〔作用〕

この発明におけるFDD用反転シーク防止回路は、FDDとFDCとの間に接続されており、これによりFDD、システムの構成（制御プログラム）を変更することなしに反転シーク動作による

シークエラーを防止することができる。

〔実施例〕

第1図はこの発明の一実施例であるFDD用反転シーク防止回路を用いたFDD制御システムの構成を示すブロック図である。図において、1はFDD、2はFDD用反転シーク防止回路、3はFDD 1をコントロールするためのコントロール信号を発生するFDC、4はFDC 3をコントロールするシステムである。

第2図は第1図のFDD用反転シーク防止回路の構成を示すブロック図、第3図は第2図のFDD用反転シーク防止回路における各部の信号のタイミングを示す図である。図において、5はFDC 3からのステップ信号、6はFDC 3からのディレクション信号、7はFDD 1からのリード・データ信号、8はFDD 1からのインデックス信号、9はカウンタ回路、10はステップパルス発生回路、11はディレクションラッチ回路、12はリード・データ信号、インデックス信号をマスクするためのマスク回路、13はFDD 1へのス

テップ信号、14はFDD 1へのディレクション信号、15はFDC 3へのリード・データ信号、16はFDC 3へのインデックス信号である。

次に、上記この発明の一実施例であるFDD用反転シーク防止回路を用いたFDD制御システムの動作について、第1図～第3図を参照して説明する。第1図に示すシステム4はFDD 1を制御するためにFDC 3にコントロールコマンドを発行する。FDC 3はシステム4から受けたコントロールコマンドに基づいてFDD用反転シーク防止回路2にコントロール信号を発生する。FDD用反転シーク防止回路2はFDC 3からのステップ信号5とFDC 3からのディレクション信号6をもとに、今までFDD 1でシーク動作していた方向とは異なる方向に位置決め用ステッピングモータが追従できないようなタイミングでステップ信号が入力された場合、上記位置決め用ステッピングモータが追従できる状態になるまで上記ステップ信号のタイミングをずらし、FDD 1でシーク動作が完了するまでインデックス信号とリード

・データ信号をマスクし、FDD1へコントロール信号を出力する。

すなわち、第2図に示すFDD用反転シーク防止回路2において、FDC3からのステップ信号5はFDC3からのディレクション信号6とのタイミングに基づき、ディレクションラッチ回路11から出力されるFDD1へのディレクション信号14によってディレクション(方向)が変わった後にステップ信号をマスクし、FDD1へのステップ信号13を出力する。カウンタ回路9では今までFDD1でシーク動作していた方向とは異なる方向に位置決め用ステッピングモータが追従できないようなタイミングで入力されるステップ信号をカウントし、その後上記位置決め用ステッピングモータが追従可能な時間となったならば、ステップパルス発生回路10で発生するパルス間隔でカウンタ回路9のカウント数だけステップ信号をFDD1へのステップ信号13として出力する。また、FDD1からのリード・データ信号7、FDD1からのインデックス信号8をFDD1でシ

ーク動作が完了するまでマスクし、FDC3へのリード・データ信号15、FDC3へのインデックス信号16として出力する。またディレクションラッチ回路11からはラッチしたディレクション信号としてFDD1へのディレクション信号14を発生する。

次に、第3図の各部の信号のタイミングに示すように、FDC3からのステップ信号5は追従可能な時間をあけた後、残りのステップ信号としてFDD1へのステップ信号13を発生する。また、FDC3からのディレクション信号6は残りのステップ信号のためにラッチされてFDD1へのディレクション信号14となる。また、FDD1からのリード・データ信号7、FDD1からのインデックス信号8は、FDD1でシーク動作が完了するまでマスクされ、FDC3へのリード・データ信号15、FDC3へのインデックス信号16となる。また、FDC3ではインデックス信号が2回見付かるまでに目的のセクタを見付けるので、リード・データ信号、インデックス信号をマスク

することにより反転シーク動作に必要な時間を吸収できる。

〔発明の効果〕

以上のように、この発明のFDD用反転シーク防止回路は、FDDとFDCとの間に接続され、今までFDDでシーク動作していた方向とは異なる方向に位置決め用ステッピングモータが追従できないようなタイミングでステップ信号が入力された場合、このステップ信号のタイミングをずらすことにより位置決め用ステッピングモータが追従できる状態となるようにし、FDDでシーク動作が完了するまでインデックス信号とリード・データ信号をマスクした構成としたので、FDD、システムの構成(制御プログラム)を変更することなしに反転シーク動作によるシークエラーを防止することができるという優れた効果を奏するものである。

4. 図面の簡単な説明

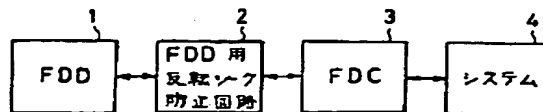
第1図はこの発明の一例であるFDD用反転シーク防止回路を用いたFDD制御システムの

構成を示すブロック図、第2図は第1図のFDD用反転シーク防止回路の構成を示すブロック図、第3図は第2図のFDD用反転シーク防止回路における各部の信号のタイミングを示す図、第4図は従来のFDD制御システムの構成を示すブロック図、第5図は第4図のFDD制御システムにおける各部の信号のタイミングを示す図である。

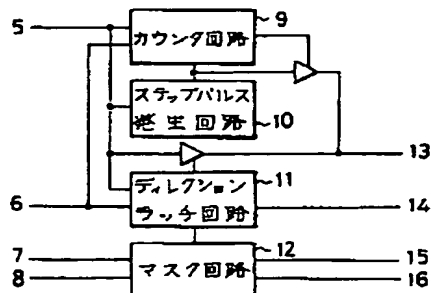
図において、1…FDD、2…FDD用反転シーク防止回路、3…FDC、4…システム、5…FDC3からのステップ信号、6…FDC3からのディレクション信号、7…FDD1からのリード・データ信号、8…FDD1からのインデックス信号、9…カウンタ回路、10…ステップパルス発生回路、11…ディレクションラッチ回路、12…マスク回路、13…FDD1へのステップ信号、14…FDD1へのディレクション信号、15…FDC3へのリード・データ信号、16…FDC3へのインデックス信号である。

なお、図中、同一符号は同一、又は相当部分を示す。

第 1 図

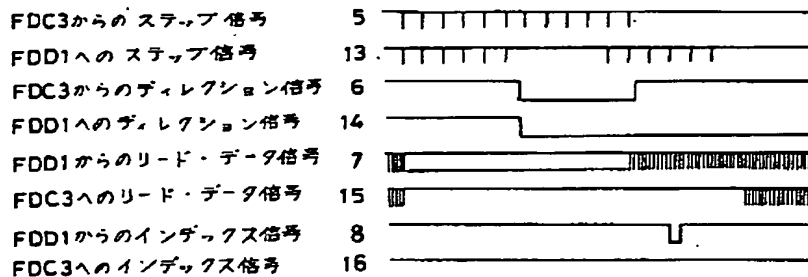


第 2 図

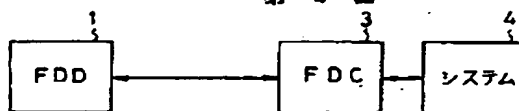


- | | |
|---------------------|-----------------------|
| 5: FDC3からのステップ信号 | 15: FDC 3 へのリード・データ信号 |
| 6: FDC3からのディレクション信号 | 16: FDC 3 へのインデックス信号 |
| 7: FDD1からのリード・データ信号 | |
| 8: FDD1からのインデックス信号 | |
| 13: FDD1へのステップ信号 | |
| 14: FDD1へのディレクション信号 | |

第 3 図



第 4 図



第 5 図

